**题目1 说明文档**

**问题1**

设变量代表在X类材料中是否选择了（代表选了，代表没选），代表在Y类材料中是否选择了（代表选了，代表没选），则目标优化函数可以写作：



其中为常系数，按需求给定。我们需要**求该函数的最小值点**。

解释一下函数各项的含义：

第一项为属性一得分与的差值平方，其值越小则代表属性一得分越接近，该项的系数代表该要求的权重。

第二项为属性二得分与的差值平方，其值越小则代表属性二得分越接近，该项的系数代表该要求的权重。

第三项为惩罚函数。因为题目要求在X和Y两类材料中各挑选出和种（均给定），所以对于当前这种变量的取值，理应有约束和，这等价于。而要转有约束问题为无约束问题，这里我们采用惩罚函数法：若不满足约束条件，则，进而，，不可能取得最小值。

对做整理得：



常数项对最值无影响，直接去掉，最终得：



可见这是一个**四次二值无约束优化问题**，属于**PUBO**。

为了用**QAOA算法**求解，我们先要将二值变量编码到量子比特上。采取如下的编码方式：



即：



这里一共用了个量子比特。

然后我们需要给出该系统的哈密顿量。

考察单变量函数的哈密顿量：

例如。用代表，代表，则哈密顿量写做：



考察多变量函数的哈密顿量：

例如，等价于（逻辑与），哈密顿量为：



再例如，哈密顿量为：



回到原问题，由哈密顿量的线性性质，可得的哈密顿量为：



其中分别表示对应维度哈密顿量的张量积，其中：

，

借助pyqpanda的泡利算符类库，我们能够以的复杂度算出，从而完整得到原问题的哈密顿量。

**问题2**中的形如：

文本

中度可信度描述已自动生成

可见，其实就是各种乘积项的线性组合。

**下面进行QAOA算法的设计：**

根据绝热定理设计QAOA线路，使得：

初态哈密顿量：



初态哈密顿量的基态：



末态哈密顿量：



测量末态哈密顿量的基态大概率可以得到所求问题的解。

QAOA线路是以为生成元的酉变换跟以为生成元的酉变换乘积的累积，即：



其中：



由于是一堆泡利矩阵和单位矩阵的运算组合，所以可以预见生成的是一堆门（可转化为门）和门的组合。下面将对生成的酉变换一一进行考察，并给出对应的线路示例图：（忽略整体相位）



图表

中度可信度描述已自动生成



图示

中度可信度描述已自动生成



手机屏幕的截图

中度可信度描述已自动生成



图片包含 物体, 钟表, 游戏机

描述已自动生成



图表, 折线图

描述已自动生成

然后就可以得出：



（其中泡利矩阵乘积项的系数已由代码`Hp.to\_hamiltonian(1)`给出；不随求和符号和求积符号的指标而改变，因为中的是中的而不是中的）

可以预估，根据表达式，在不优化线路的情况下，完整实现要用到的量子逻辑门的数量为量级。

综上，我们写出具体的量子逻辑门乘积形式，用于指导实际量子线路的搭建。而在实际情况下，我们会考虑各种门摆布的顺序问题，对相邻且相互抵消的门进行消除，相邻且可合并的门进行合并，以尽量减少门的总数，优化拓扑结构——这在问题二中会详细进行。

最后给出**QAOA的工作流程：**

1. 制备初态（共个量子比特）
2. 初始化参数，用于确定上述的所有量子门
3. 根据参数生成量子线路，实现初态到末态的酉变换
4. 测量末态量子状态，计算基态能量的期望
5. 将当前参数及其对应的期望值传入经典优化器进行**最小值优化**得到一组新的参数
6. 重复执行3~5步，直到满足预先设定好的结束条件
7. 最终得到的最高概率的量子态就是问题的解

至此，我们达成了问题1的所有要求：使用了合适的编码手段，将问题转化为四次二值优化问题，给出了哈密顿量，并设计了对应的QAOA算法。

算法复杂度：迭代一次（3~5步）的复杂度为。

**问题2**

根据题意和问题1，取，随机，（）

图形用户界面, 文本, 应用程序

描述已自动生成

先求哈密顿量分量，再整合求哈密顿量：

文本

描述已自动生成

输出泡利矩阵的组合形式：（由于一共有项，显示过长，这里截断了）

图形用户界面, 文本

描述已自动生成

如果不进行线路优化，将面临下面的庞大数量：

图形用户界面, 文本, 应用程序

描述已自动生成

**【线路优化】**

下面仅关注纯线路优化，不涉及到网络拓扑结构：

注意到：



除了的部分，其他连乘的项都是单位矩阵，所以它们可以互相交换。

考察门的部分：

记有序四元组代表线路：先依次从比特引出对比特控制的门，然后对比特进行门，最后再依次从比特引出对比特控制的门，即：



类似也有三元组、二元组。

我们知道，中本来就是完全对等的。所以对于一个特定的，我们可以任意选择线路四元组的顺序，比如。三元组、二元组亦如此。

但是注意到以下情况：

如果我们把线路和线路接在一起，它们相邻部分的个门会奇迹般地抵消掉了。甚至我们还可以在后面接、，都会依次消去个门。而上面这些线路都是所需要的。这告诉我们：虽然四元组中比特的次序对单个线路没有任何影响，但是选择合适的次序以及线路的接法可以大大减少门的数量。这是一种有效的线路编译优化。

示意图：的抵消

图表, 折线图

描述已自动生成

图表

描述已自动生成

知道了这些，我们先来看看这些线路到底是些什么。问题1已经给出：



完全来自于这里。可以推知所有有效的四元组线路是在（）选择比特和在（）选择比特组成。共恰好符合之前的统计。

可以构造下面这种线路接法实现尽可能消除更多的门。

依次固定四元组末尾元素为，然后按顺序遍历，并且避免不重复，最终得到：

文本

描述已自动生成

共种，无重复，符合条件。从原本的个门中消除了个，将近一半！

我们再来看看这些线路，它的来源依然是。可以推知所有有效的三元组线路是在（）选择比特和在（）选择比特组成，或者在（）选择比特和在（）选择比特组成。共恰好符合之前的统计。

我们试图把这些线路插入到上面已经排好的四元组线路中实现消除。

固定末尾元素，前面两个元素在中选，共计个元组，我们把它分别插到已经排好的四元组中与它最大重叠的第一个元素之前，例如插到前，最终得：

文本

描述已自动生成

剩下的：“末尾元素，前面两个元素在中选”和“末尾元素，前面两个元素在中选”。把这第一种情况，调整为“末尾元素，前面两个元素分别在中选”，即，把这种元组留下，在后面和二元组重叠。对于第二种情况，为了最大重叠，我们可以这样构造：

散点图

中度可信度描述已自动生成

最后看看这些线路，它来源于。可以推知所有有效的二元组线路是在所有比特中任意选择比特组成。共恰好符合之前的统计。

我们试图把这些线路插入到上面已经排好的四元组线路和三元组线路中实现消除。

类型的元组与三元组第一种情况留下的形成最大重叠；类型的元组与三元组第二种情况的形成最大重叠；单列。整合得到：

文本

描述已自动生成

其实还可以更优化，考察四元组线路与三元组、二元组的组合，也能消去一些门。但消去也不会太多，我们这里就不再过度考虑了，直接把上面的所有结果拼接：

文本

描述已自动生成

减少了超过一半的门，已经很满足了。

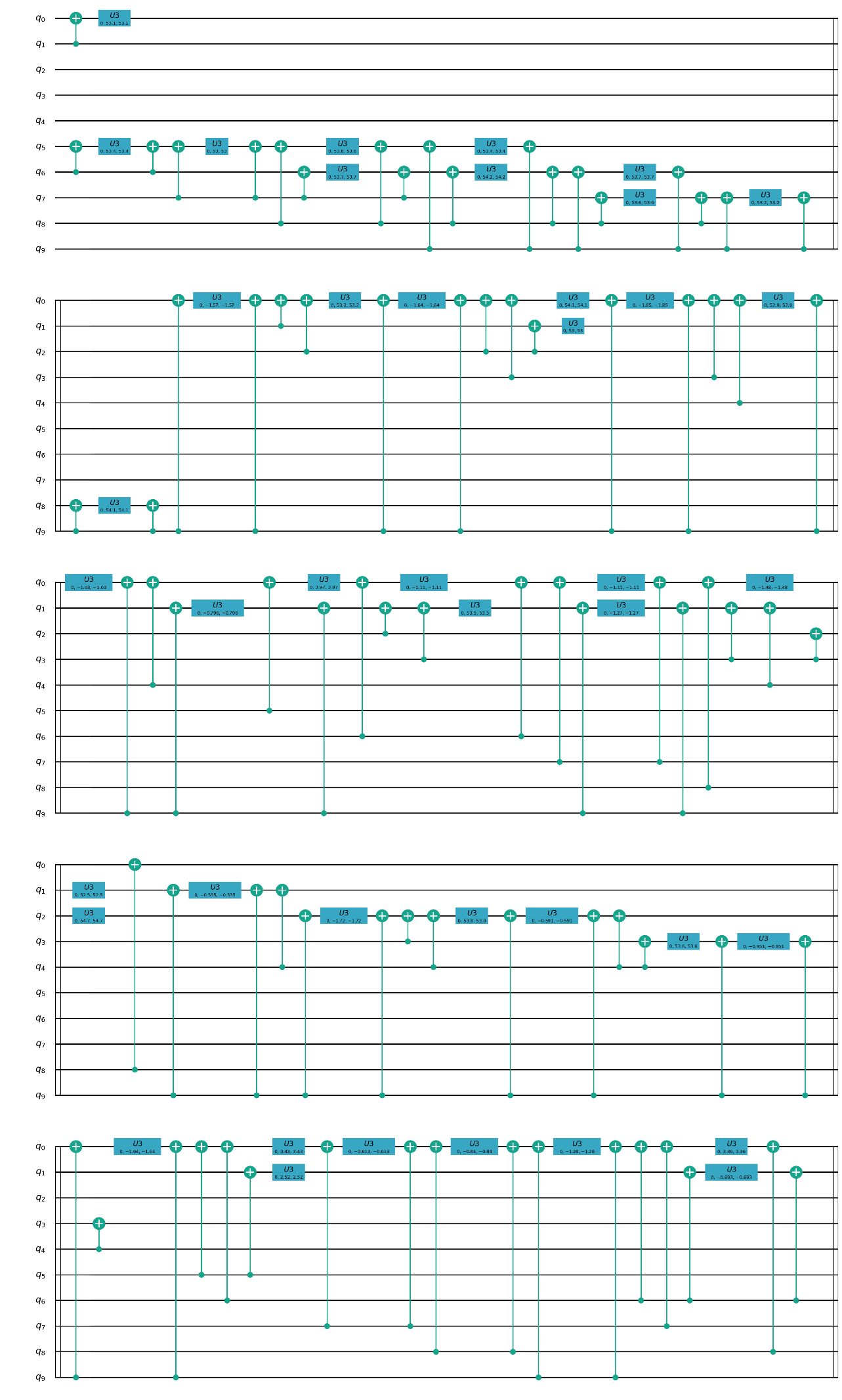
直接用pyqpanda画出这种排布的线路：

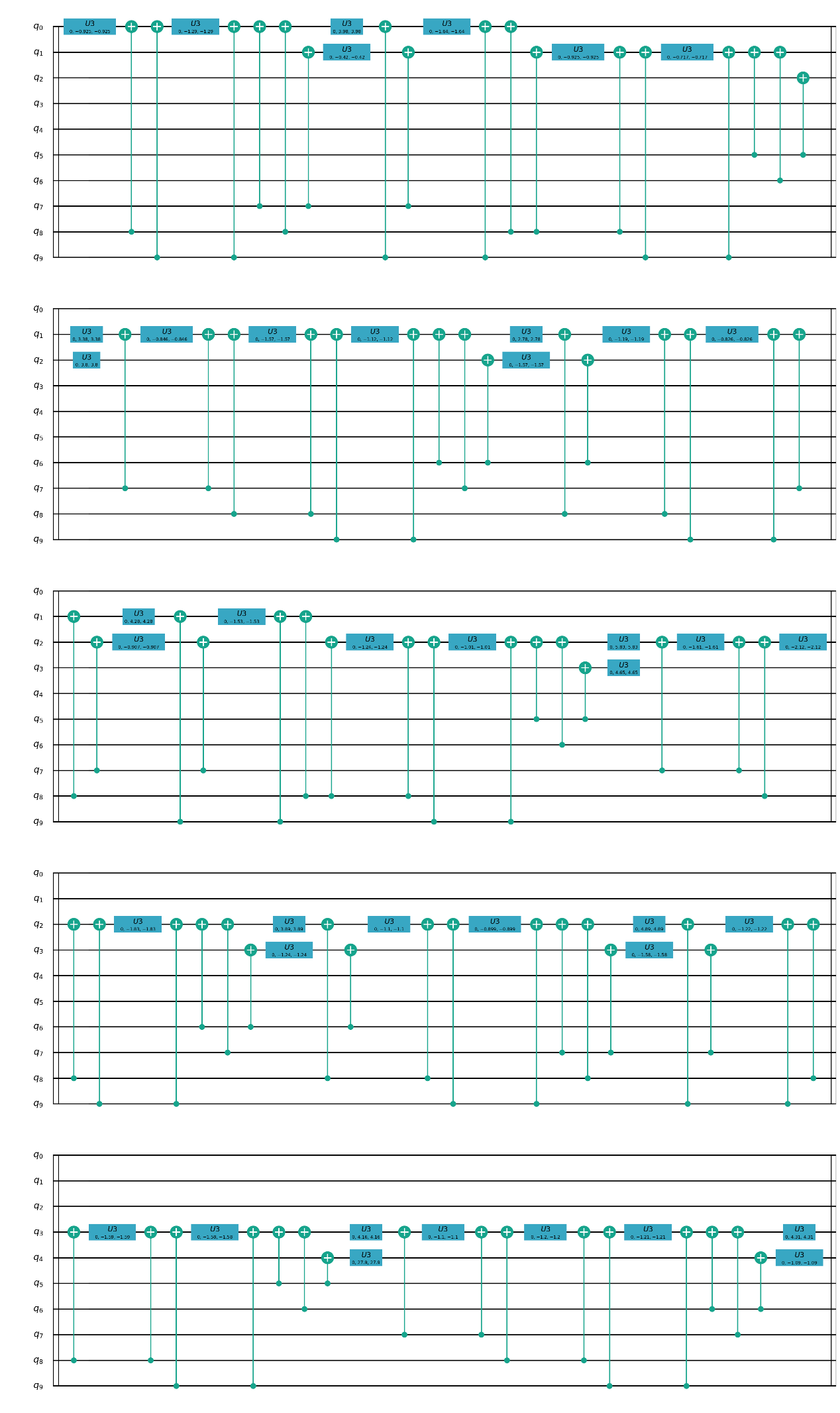
背景图案

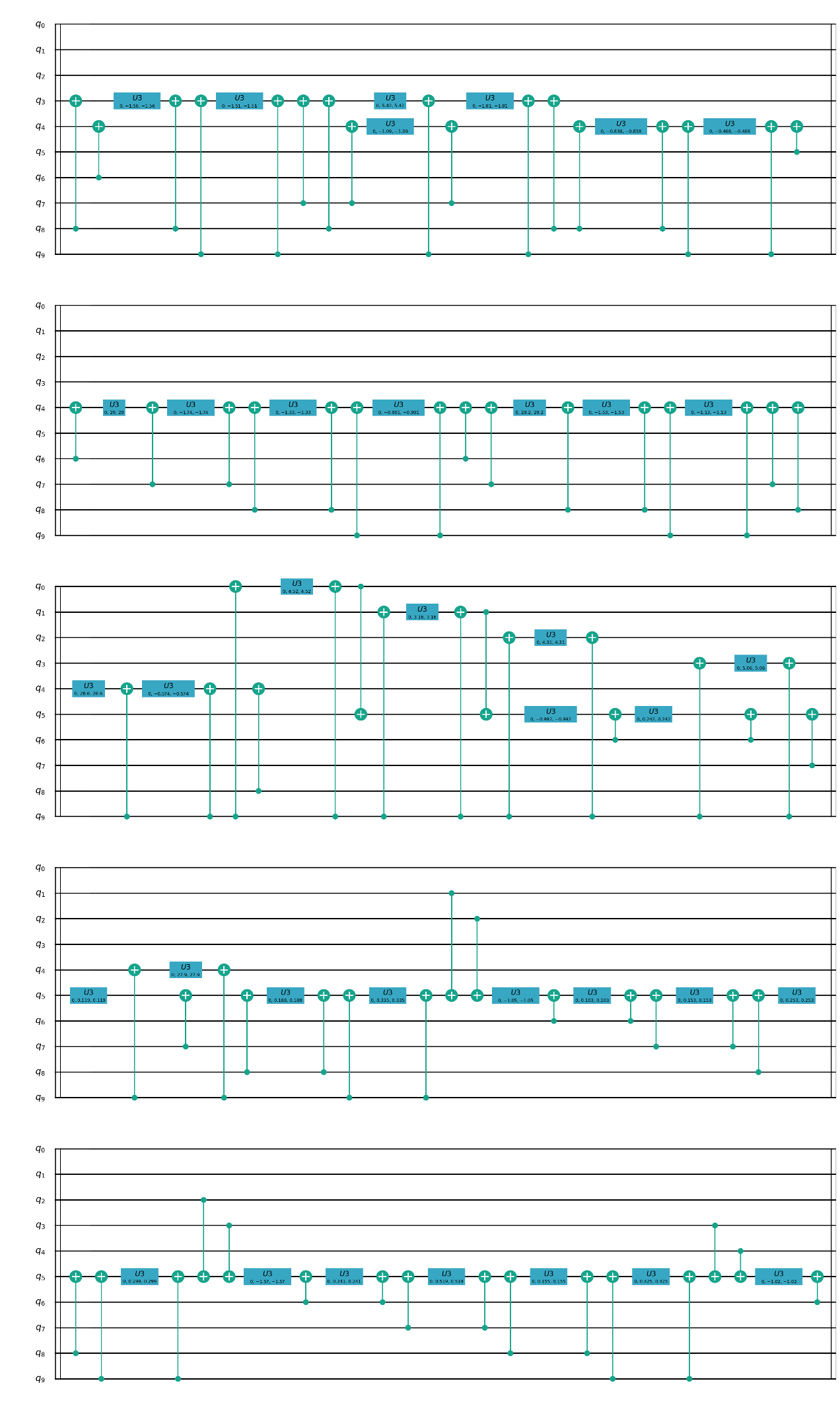
描述已自动生成

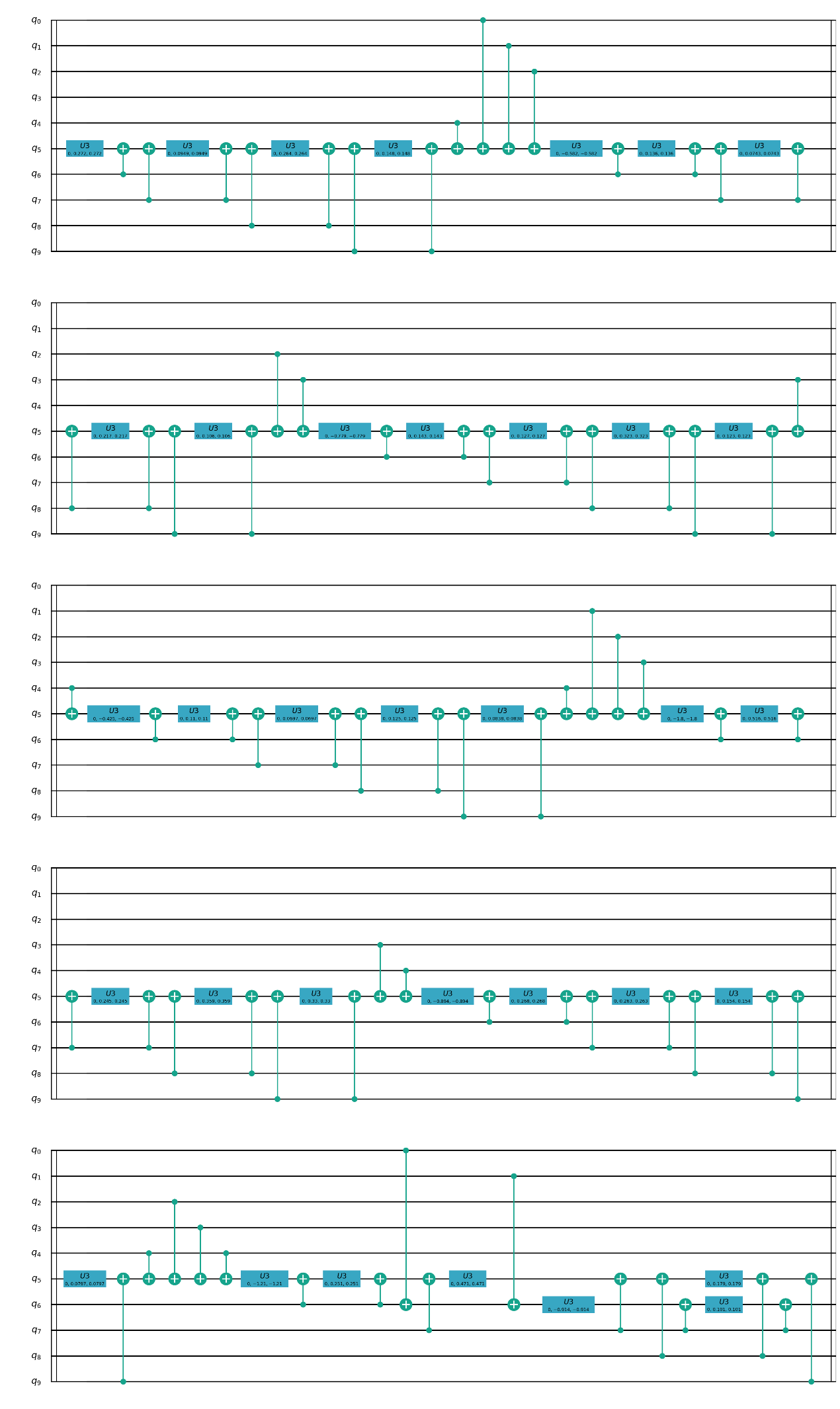
总共需要个门，其中有个门。

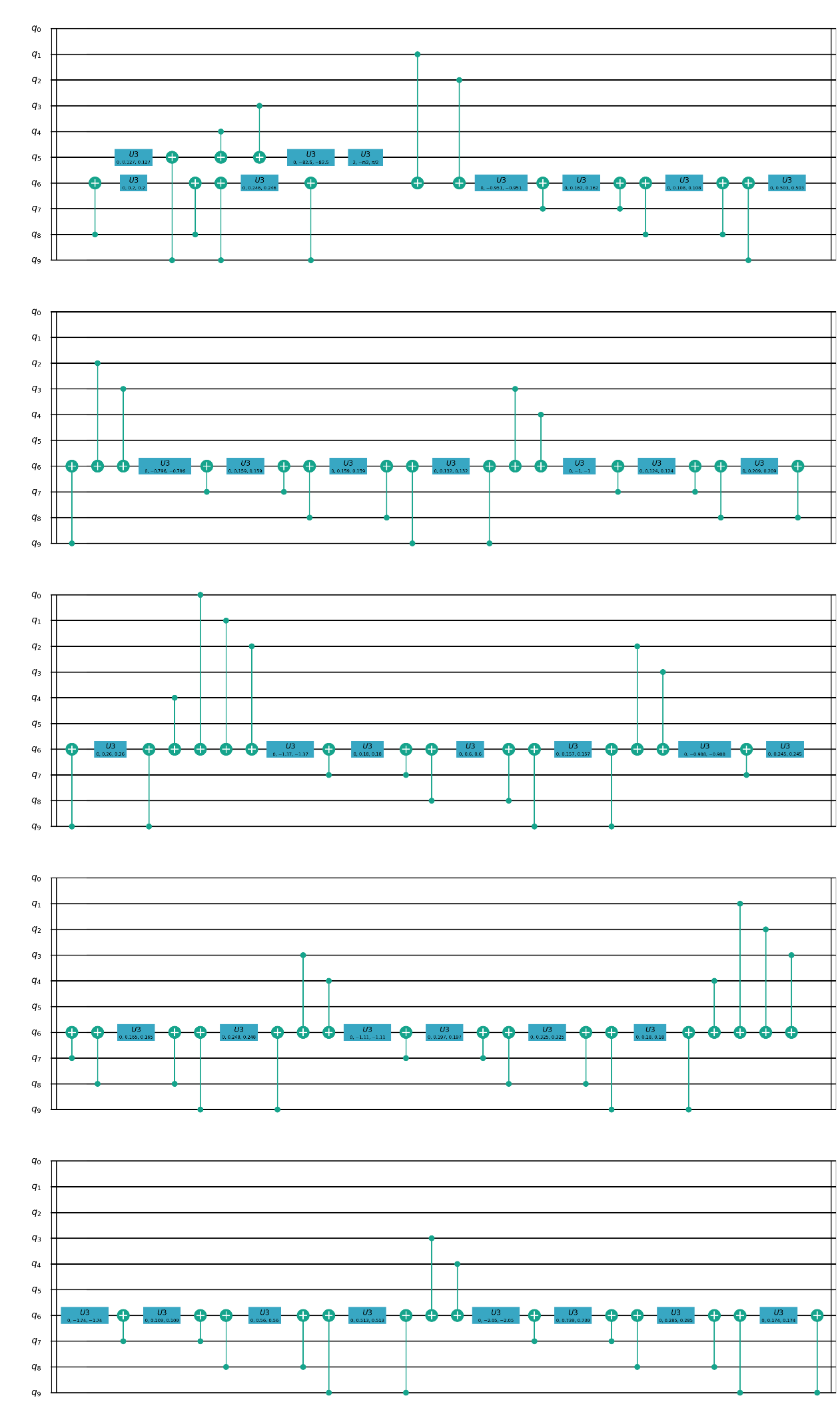
线路较长，展示如下：

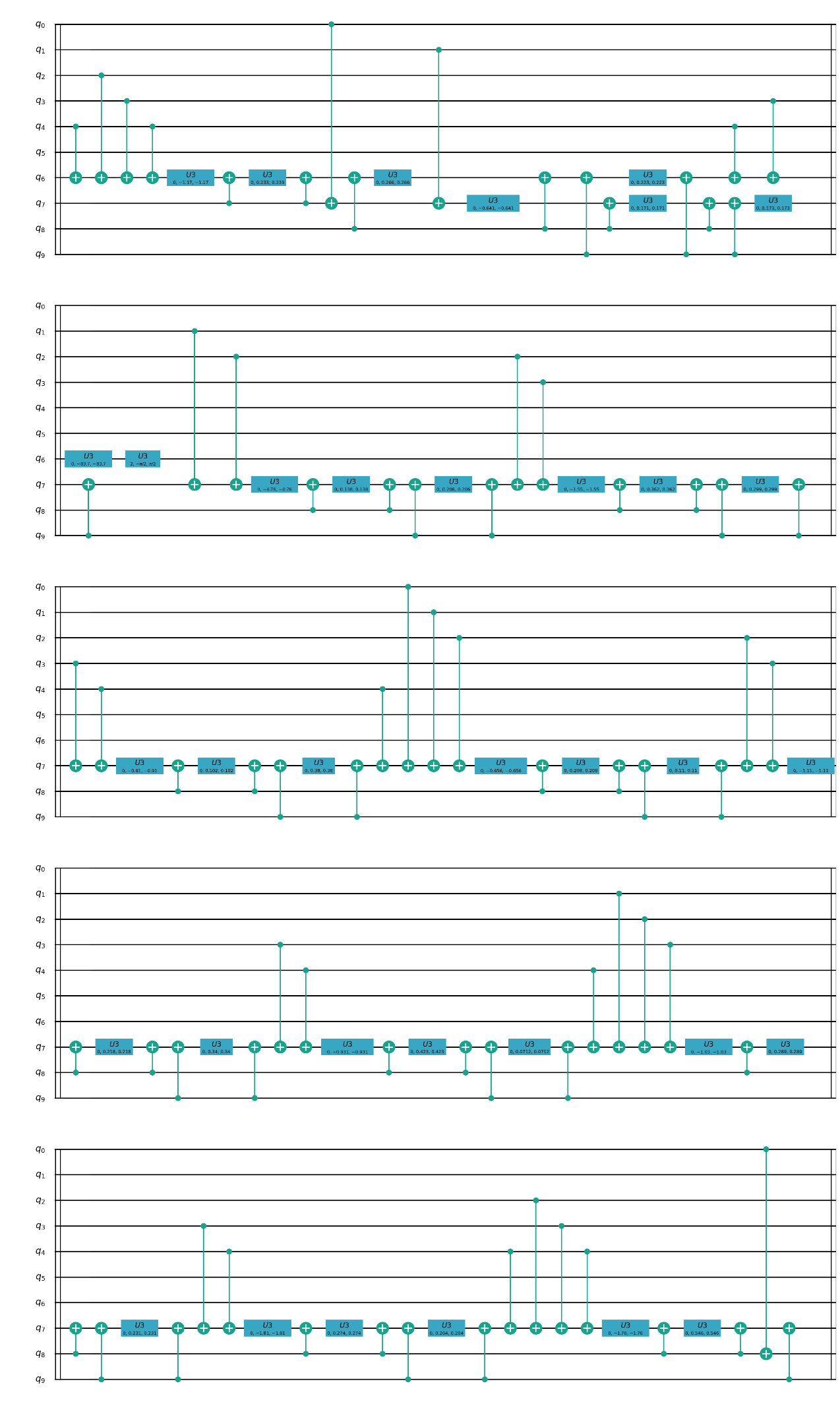


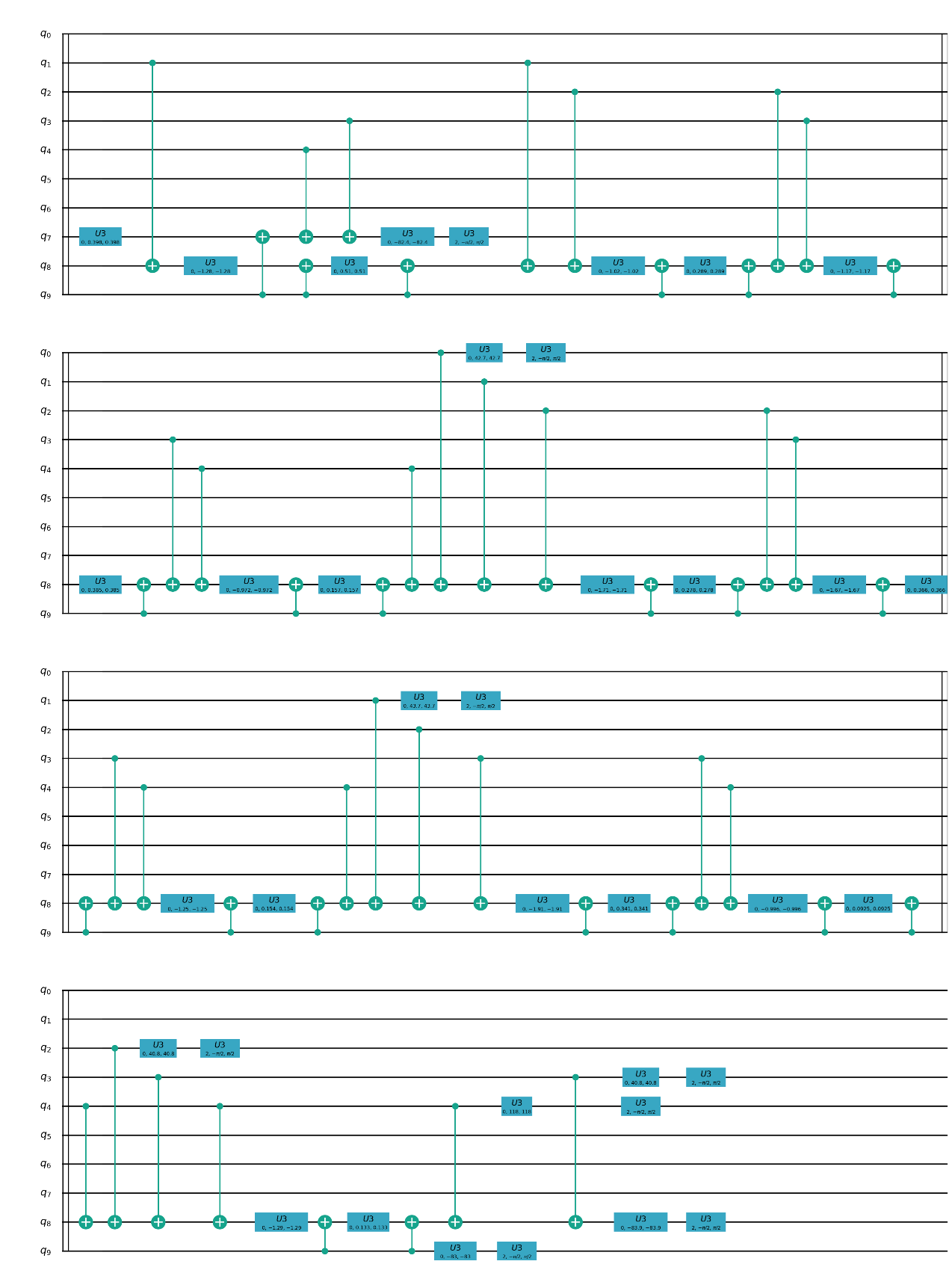












至此，我们得出了完整的纯线路模型，解决了**Cost层**的问题。然而，QAOA算法在真实量子芯片运行时，一般会遇到拓扑结构问题，需要进行线路编译优化，还需要解决**Mixer层**的问题。

下面将进行网络拓扑优化，重点解决量子比特间交流受限的问题。

**【拓扑优化】**

由于在物理层面上存在量子比特排布的限制，只能允许两个相邻的量子比特之间进行计算。

在本问题中，我们只使用到了个量子比特，数量很少。但是由于我们选择优化的多项式为次，量子比特间运算就较为复杂。量子比特少的代价就是它们之间的运算复杂，但量子比特少的好处是：占用芯片的区域少，需要交换（门）的次数也少。

当然还有一种方式是：增加变量（也就是增加量子比特），把四次多项式转化为二次多项式，从而减少量子比特间的运算复杂度，促使门的数量在纯线路层面就更少。量子比特多的好处是能够大大利用芯片不受串扰影响时的高并行门运算。但是，潜在的问题是：芯片占用的区域增加了，要让任意两个量子比特进行运算交换的次数也增多了。这里只是简单设想了一下，至于究竟是哪种方法最后得出的深度最小，我们并没有做深入研究。

在我们的设计中，尽量使要用到的量子比特靠在一起，比如：



在这种情况下进行量子比特门操作：例如，当要进行元组线路运算时（不考虑线路优化消去门）：、可以直接运算，而需再再。

由于量子比特数量少，它们集中得很密集，我们也就不考虑芯片运算并行性了。（如果要深入研究下去，则可以考虑。但对于在比赛中的我们来说，这有些过于麻烦了，我们这里只是希望能得到一个相对较好的结果，而不是为了最优解陷入复杂的讨论而耗费大量时间）**所以我们让每一层只进行一个门运算！（无关比特直接用BARRIER隔开）**

我们的目标是找到一个量子比特的排布使得加入门（等价于个门）后总门数最小。对于每一种排布方式，我们用pyqpanda的量子比特映射Sabre算法（尝试一定次数取门最少的时候）通过寻找可以插入SWAP门的位置，来对线路进行优化，使得原本不可以在量子计算机上运行的量子门，通过动态的改变量子比特的邻接位来使得所有的量子门都能够进行计算。

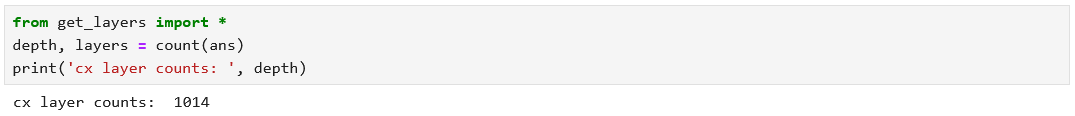
例如，对于上面给出的排布，可以得到：

图形用户界面, 文本, 应用程序

中度可信度描述已自动生成

最终得到的线路总共有个门，这意味着我们的量子线路总层数大概不超过层，独立层数大概不超过层。

例如，对于上面给出的排布，可以得到：

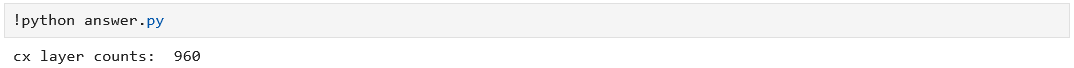


独立层数大约层。

我们后面的工作就是改变量子比特在芯片上排布，以求得层数最小值。

最后我们在答案文件中给出分布为：（交错排列）





独立层数为层。

至此，我们完成了对本问题的解答。

最后来谈谈本文所述算法的通用性问题。

本文旨在直接利用QAOA求解PUBO。通过含惩罚函数优化函数的建立、哈密顿量的推导、酉变换的分解，最后得到的量子线路是数量的门和门组合，属于多项式复杂度的近似算法。

本文提供了在给定情况下解决此问题的思路。如果要把它运用到其他的情况下，则需要对步骤细节进行相应的调整：（至少我们本题给出的代码就需要从头到尾修改对应内容）

1. 优化函数：一般的PUBO问题，写出来的优化函数的次数不一定是本题中的次，可能更高次。另外，变量的个数也可能发生变化（这决定了量子比特的个数）。
2. 哈密顿量：决定于优化函数。虽然形式上都是一些泡利矩阵相乘相加，但是乘方的次数和矩阵的维数可能会发生变化。
3. 酉变换的分解：更高次更多变量的优化问题意味着更多的门，但它们都会如同本题那样形成一种对称的分布。
4. 线路优化（Cost层）：更多的门生成更多的元组，我们需要思考怎样排布这些元组达成最大重叠，实现纯线路层面的优化。
5. 拓扑优化（Mixer层）：需要根据量子比特的个数在芯片上设置量子比特的排布，通过尝试量子比特映射算法取最少门数的情况。如果有需要，可以进一步尝试引入不受串扰影响时的并行门运算，以最小化独立层数。